

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-104449

(43)Date of publication of application : 09.05.1988

(51)Int.Cl.

H01L 21/90

H01L 21/95

(21)Application number : 61-249638

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.10.1986

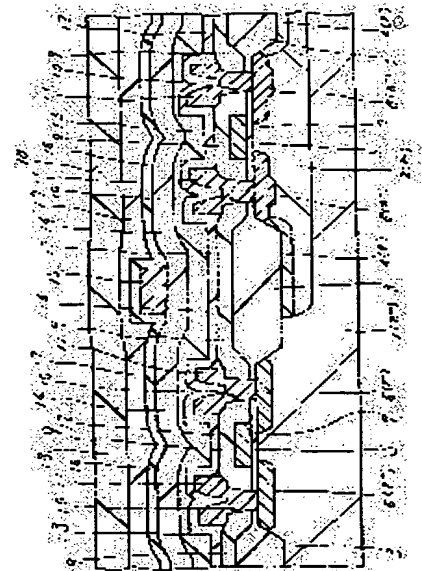
(72)Inventor : OKUYAMA KOSUKE
KATTO HISAO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve the reliability of a semiconductor integrated circuit device in such a way that a dense base-film containing a nitride is formed under a film such as coating glass (SOG) which easily absorbs the moisture.

CONSTITUTION: A wiring part 11 composed of an aluminum film as the first layer is connected to a p⁺ type semiconductor region 6 or an n⁺ type semiconductor region 8 through a connecting hole 10 which is formed by selectively removing a gate insulating film 5 and an interlayer insulating film 9. An interlayer insulating film as the second layer covering the wiring part 11 is constructed by a base layer 12 composed of a silicon nitride film, an SOG film 13 and a silicon oxide film 14. The base layer 12 composed of a silicon nitride film is denser than the silicon oxide film or the like. As a result, even when the moisture is contained in the SOG film 13, the moisture does not penetrate into the insulating film 9 and the gate insulating film 5 because it is blocked by the base film 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-104449

⑬ Int.Cl.⁴

H 01 L 21/90
21/95

識別記号

庁内整理番号

M-6708-5F
6708-5F

⑭ 公開 昭和63年(1988)5月9日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭61-249638

⑰ 出 願 昭61(1986)10月22日

⑱ 発 明 者 奥 山 幸 祐 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 発 明 者 甲 藤 久 郎 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 半導体基板上のアルミニウム膜からなる配線を覆う絶縁膜の下に、窒化物を含有した下地膜を設けたことを特徴とする半導体集積回路装置。

2. 前記下地膜は、プラズマCVDによる窒化シリコン膜、スパッタによる窒化シリコン膜、CVDによる窒化シリコン膜のいずれかであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 前記アルミニウム膜からなる配線を覆う絶縁膜は、塗布ガラス膜又はリンシリケートガラス膜であることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路装置に関するものであり、特に、半導体基板上の層間絶縁膜に適用し

て有効な技術に関するものである。

〔従来の技術〕

半導体基板上の配線を覆う層間絶縁膜は、上面をできるだけ平坦化にすることが重要である。このため、前記配線をまずプラズマCVDによる酸化シリコン膜で覆い、この上に塗布ガラス(SOG)膜を形成し、さらにこの上にプラズマCVDによる酸化シリコン膜を形成している。つまり、SOG膜によって平坦化を図っている。なお、絶縁膜に関する技術は、例えば、サイエンスフォーラム社、昭和58年11月28日発行、「超LSIデバイスハンドブック」、p117～p121に記載されている。

〔発明が解決しようとする問題点〕

本発明者は前記技術を検討した結果、次の問題点を見出した。

前記SOG膜は外気中の水分を含み易い。ところが、アルミニウム膜からなる配線を覆っているため、700℃以上の高温の熱処理を行い難く、水分を取り除きにくい。この水分は、下の絶縁膜

を通じてMISFETのゲート絶縁膜にまで達し、特性を劣化させる。

本発明の目的は、半導体集積回路装置の信頼性の向上を図ることにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにするであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、SOG等の水分を含み易い膜の下に、窒化物を含有した不純物下地膜を設ける。

〔作用〕

上記した手段によれば、水分が前記下地膜によって妨げられるため下へ侵入して行くことがなくなり、半導体集積回路装置の信頼性を向上することができる。

以下、本発明を実施例とともに説明する。

〔実施例〕

- 3 -

ート絶縁膜5、ゲート電極7、ソース、ドレイン領域である n 型半導体領域8とで構成している。ゲート電極5を第1層目の層間絶縁膜9が覆っている。層間絶縁膜9は、例えばCVDによる酸化シリコン膜の上に例えばCVDによるリンシリケートガラス(PSG)膜を積層して構成している。11は例えばスパッタによる第1層目のアルミニウム膜からなる配線である。それぞれの配線11は、ゲート絶縁膜5及び層間絶縁膜9を選択的に除去して形成した接続孔10を通して p 型半導体領域6又は n 型半導体領域8に接続している。

配線11を覆う第2層目の層間絶縁膜は、窒化シリコン膜からなる下地膜12、SOG膜13およびプラズマCVDによる酸化シリコン膜14とで構成している。下地膜12の膜厚は例えば0.2 μ m程度、SOG膜13の膜厚は平坦部で0.2 μ m程度、酸化シリコン膜14は0.6 μ m程度になるようにしている。下地膜12は、例えばプラズマCVD、スパッタあるいはCVDによって形成している。

第1図は、半導体基板上に成したMISFETおよびそれを覆う層間絶縁膜の断面図である。

第1図において、1は n 型単結晶シリコンからなる半導体基板であり、その所定の表面部に p 型ウェル領域2を形成している。3は半導体基板1の表面の選択酸化による酸化シリコン膜からなるフィールド絶縁膜であり、半導体基板1上に構成されるMISFET等を規定している。4は p 型チャネルストップ領域であり、 p 型ウェル領域2におけるフィールド絶縁膜3の下に形成している。

第1図には半導体基板(n 型領域)1の表面に p チャネルMISFETが示され、また p 型ウェル領域2の表面に n チャネルMISFETが示されている。前記 p チャネルMISFETは、半導体基板1の表面の酸化による酸化シリコン膜からなるゲート絶縁膜5、ソース、ドレイン領域となる p 型半導体領域6、例えばCVDによる多結晶シリコン膜からなるゲート電極7とで構成している。 n チャネルMISFETは、 p 型ウェル領域2の表面の酸化による酸化シリコン膜からなるゲ

- 4 -

酸化シリコン膜からなる下地膜12は、例えばプラズマCVDによる酸化シリコン膜等より成る。このため、SOG膜13中に水分が含まれていても、それは下地膜12によって阻まれて絶縁膜9中さらにゲート絶縁膜5中へ侵入することができない。ゲート絶縁膜5中に水分が入り込むとMISFETの特性劣化を引き起すが、これが下地膜12を設けることによって防止することができる。なお、SOG膜13は、例えばCVDによるPSG膜としてもよい。SPG膜も水分を含み易いが、このPSG膜中の水分は下地膜12によって阻止されるためゲート絶縁膜5中に侵入することがない。

酸化シリコン膜14上を例えばスパッタによるアルミニウム膜からなる配線15が延在している。配線15を覆う最終保護膜は、例えばプラズマCVDによる窒化シリコン膜16、SOG膜17、例えばプラズマCVDによる酸化シリコン膜18を下から順に積層して成している。下地膜16およびSOG膜17の膜厚は、例えば0.2 μ m程

度、酸化シリコン膜18の膜厚は、例えば $0.6\mu\text{m}$ 程度にしている。下地膜16はSOG膜17中の水分あるいは外気中の水分が下地膜16より下に侵入するのを阻止する。また、例えば絶縁膜9中に水分が入込むと、例えば配線15からの電界によってその水分が帯電するため、フィールド絶縁膜3の下をリーク電流が流れ易くなる。しかし、下地膜12あるいは16によって絶縁膜9中への水分の侵入が阻止されるため、フィールド絶縁膜3の下を流れるリーク電流が低減される。

以上、説明したように本実施例によれば、下地膜12、16によって水分の侵入が防止されるので、半導体集積回路装置の信頼性を向上することができる。

以上、本発明を実施例にもとずき具体的に説明したが本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。

【発明の効果】

本願によって開示された発明のうち代表的なも

のによって得られる効果を簡単に説明すれば、次のとおりである。

すなわち、水分の侵入を防止できるので、信頼性の向上を図ることができる。

4. 図面の簡単な説明

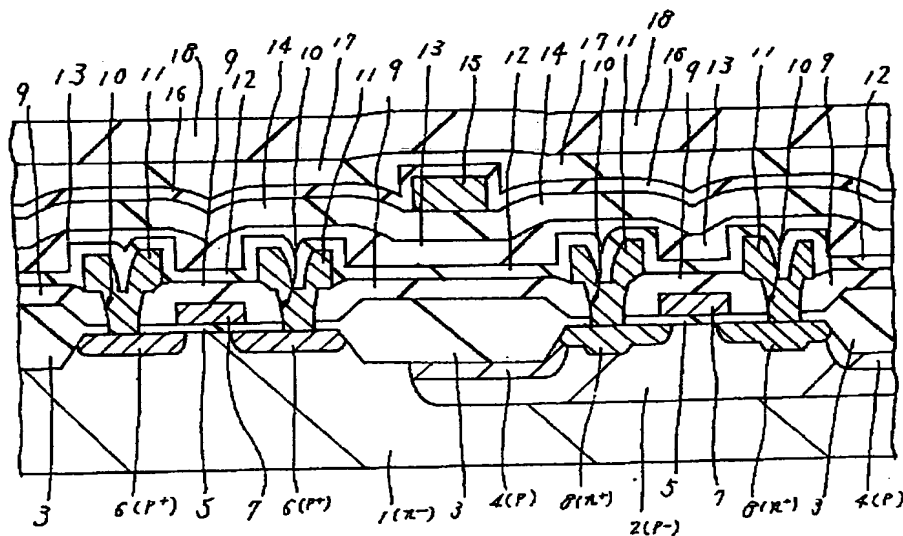
第1図は、半導体集積回路装置のMISFETの断面図である。

1… n -型半導体基板、2… p -型ウエル領域、3…フィールド絶縁膜、4… p -型チャネルストップ領域、5…ゲート絶縁膜、6、8…半導体領域、7…ゲート絶縁膜、9…絶縁膜、10…接続孔、11、15…配線（アルミニウム膜）、12、16…下地膜（酸化シリコン膜）、13、17…SOG膜、14、18…酸化シリコン膜。

代理人 弁理士 小川壽男



第 1 図



9, 15 - 絶縁膜 (PSG/SiO₂)
 11 - 配線 (アルミニウム膜)
 12, 16 - 下地膜 (酸化シリコン膜)
 13, 17 - 絶縁膜 (SOG)
 14, 18 - 絶縁膜 (酸化シリコン膜)